

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-64707

(43) 公開日 平成9年(1997)3月7日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/08		9184-5K	H 0 3 K 17/08	Z
17/16		9184-5K	17/16	F
19/018			19/092	

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21) 出願番号 特願平7-211936

(22) 出願日 平成7年(1995)8月21日

(71) 出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72) 発明者 荒川 竜太郎

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 竹原 秀樹

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 高田 浩司

大阪府高槻市幸町1番1号 松下電子工業株式会社内

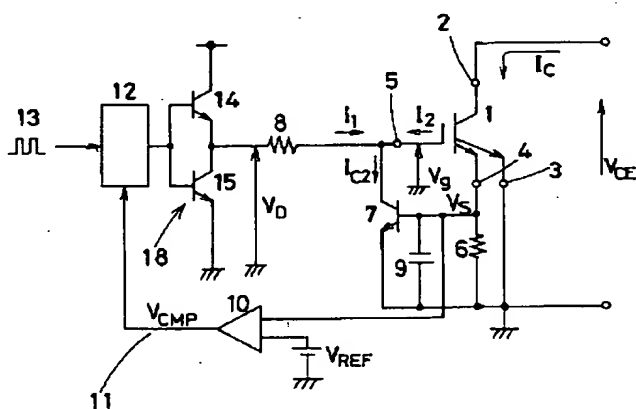
(74) 代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 半導体出力回路装置

(57) 【要約】

【課題】 IGBTの負荷短絡時に短絡電流を高速遮断し、かつ短絡電流遮断時の di/dt を抑制して、IGBTの遮断に伴う跳ね上がり電圧を小さくする。

【解決手段】 IGBT1のゲート端子5とエミッタ端子4間に、コンパレータ10とドライバ14、15の遮断遅れ時間より高速にターンオンするスイッチング特性を有し、ドライバ14の駆動電圧とゲート抵抗8により決まる電流 I_1 とIGBT1のゲート容量を引き抜く電流 I_2 の和($I_1 + I_2$)を流した時のコレクタ-エミッタ間飽和電圧が1.3[V]~10[V]となる特性を合わせ持った短絡保護トランジスタ7を接続する。この短絡保護トランジスタ7のベースはIGBT1のセンス端子4に接続している。これにより、IGBT1の負荷短絡時に短絡電流を高速遮断し、遮断に伴う跳ね上がり圧を抑制し、IGBT2を有効に保護し、不良率を零にすることができる。



- | | |
|--------------|--------------|
| 1 IGBT | 10 コンパレータ |
| 2 コレクタ端子 | 11 ドライバ遮断信号 |
| 3 エミッタ端子 | 12 入力ロジック回路 |
| 4 センス端子 | 13 入力信号 |
| 5 ゲート端子 | 14 ソースドライバ |
| 6 センス抵抗 | 15 シンクドライバ |
| 7 短絡保護トランジスタ | 16 センス抵抗 |
| 8 ゲート抵抗 | 17 ベース電流制限抵抗 |
| 9 駆動防止コンデンサ | 18 ドライバ回路 |

【特許請求の範囲】

【請求項1】 エミッタセルがエミッタメインセルおよびエミッタ電流検出用セルからなり、前記エミッタメインセルに接続したエミッタ端子の他に前記エミッタ電流検出用セルに接続したセンス端子を有する絶縁ゲート付の電力用トランジスタと、

前記電力用トランジスタのゲート端子に接続したゲート抵抗と、

前記電力用トランジスタのセンス端子とエミッタ端子の間に接続したセンス抵抗と、

前記エミッタ端子と前記センス端子との間にエミッタとベースを接続し、前記ゲート端子にコレクタを接続した短絡保護トランジスタとを備え、

前記短絡保護トランジスタとして、短絡発生時のコレクタ-エミッタ間飽和電圧が1.3Vから10Vまでの値となる特性を有しているトランジスタを使用したことを特徴とする半導体出力回路装置。

【請求項2】 短絡保護トランジスタのコレクタ-エミッタ間飽和電圧を調整するためのベース電流制限抵抗を追加したことを特徴とする請求項1記載の半導体出力回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、電力用IGBT (Insulated Gate Bipolar Transistor)、特にエミッタセルの一部を電流検出用セルとして使用し、電流検出用セルをセンス端子と接続し、かつゲート端子もしくはベース端子に抵抗が接続された電力用絶縁ゲートバイポーラトランジスタを有し、この電力用絶縁ゲートバイポーラトランジスタ、あるいは上記と同様のセンス端子を有する電力用MOSFETの短絡保護を行う機能を備えた半導体出力回路装置に関するものであり、さらにはその短絡保護の特性に係るものである。この半導体出力回路装置は、例えば、3相ブリッジ構成にすることで3相モータを駆動可能であり、またインダクタンス負荷と接続することでスイッチング電源のパワートランジスタにも適用できる。

【0002】

【従来の技術】 短絡保護回路を付設した従来の半導体出力回路装置について図面を参照しながら説明する。この半導体出力回路装置においては、図5に示すように、電力用IGBT1に、コレクタに接続されたコレクタ端子2とエミッタメインセルに接続されたエミッタ端子3とエミッタ電流検出用セルに接続されたセンス端子4とゲートに接続されたゲート端子5とが設けられている。センス端子4はセンス抵抗6の一端と接続され、エミッタ端子3とセンス抵抗6の他端が接続されている。センス抵抗6には誤動作防止コンデンサ9が並列接続されている。

【0003】 電力用IGBT1のゲート端子5は、ゲート

抵抗8を介して、それぞれバイポーラトランジスタからなるソースドライバ14およびシンクドライバ15で構成されるドライバ回路18により駆動される。入力信号13は入力ロジック回路12を介してソースドライバ14およびシンクドライバ15の両ベースに入力されており、入力信号13に応じてソースドライバ14およびシンクドライバ15がオンオフすることで、電力用IGBT1をオンオフ駆動することになる。

【0004】 今、電力用IGBT1の負荷短絡が発生すると、コレクタ電流 I_c は急激に増大する。このため、センス端子4にも大きな電流が流れ、センス抵抗6にも大きな跳ね上がり電圧が発生する。この跳ね上がり電圧は、コンパレータ10の一方の入力端子と接続されており、所定のしきい値電圧 V_{REF} より大きくなると、ドライバ遮断信号11を入力ロジック回路12へ送信する。すなわち、このドライバ遮断信号11が入力ロジック回路12へ伝わり、ソースドライバ14を「OFF」、シンクドライバ15を「ON」にすることで、入力信号13のレベルに係わらず電力用IGBT1のゲート電圧 V_g を0Vとして短絡時のコレクタ電流 I_c を0とし、電力用IGBT1の保護を行う。

【0005】 図6は図5の半導体出力回路装置における短絡保護動作を説明するタイムチャートである。図6において、(a)はセンス端子4に現れるセンス電圧 V_s を示し、(b)はコンパレータ10の出力電圧 V_{comp} を示し、(c)は電力用IGBT1のゲート電圧 V_g を示し、(d)は電力用IGBT1のコレクタ電流 I_c を示し、(e)は電力用IGBT1のコレクタ-エミッタ間電圧 V_{CE} を示している。

【0006】 図6を見ると、電力用IGBT1の負荷短絡が生じて電力用IGBT1のコレクタ電流 I_c が直線的に増加していくと、これに対応してセンス電圧 V_s も直線的に増大していく。そして、センス電圧 V_s が短絡検出のためのコンパレータ10のしきい値電圧 V_{REF} を超えると、コンパレータ10の出力電圧 V_{comp} がローレベルからハイレベルに変化し（ドライバ遮断信号11）、これによって入力ロジック回路12の働きで、ある時間遅れて電力用IGBT1のゲート電圧 V_g が急激に0まで低下し、それに伴って電力用IGBT1のコレクタ電流 I_c が急激に0まで減少する。

【0007】 電力用IGBT1のコレクタ電流 I_c が急激に減少すると、配線のインダクタンス成分等に起因して電力用IGBT1のコレクタ-エミッタ間電圧 V_{CE} に大きな跳ね上がり電圧が生じる。

【0008】

【発明が解決しようとする課題】 しかしながら、上記従来例では、電力用IGBT1を高速遮断するにはコンパレータ10とソースドライバ14およびシンクドライバ15の高速化、つまりこれらの動作の遅れ時間を短くする必要があるが、ノイズによる誤動作の耐量を確保する

と高速化には限界があり、誤動作の耐量を確保しつつ電力用 IGBT1 を高速遮断するのは困難であり、電力用 IGBT1 の短絡電流に対する保護を十分に行えなかった。

【0009】また、ゲート電圧の遮断時に、通常の駆動電圧 15V から 0V へ高速で電圧を変化させるので、短絡電流のオフ時の電流変化率 $-di/dt$ も大きくなる。これは配線インダクタンス L があると $V=L \cdot di/dt$ なる跳ね上がり電圧が発生し、この跳ね上がり電圧が大きく、仮に短絡電流による保護が可能であっても電力用 IGBT1 の耐圧破壊が発生することもある。

【0010】したがって、この発明の目的は、電力用 IGBT の負荷短絡時に短絡電流を高速遮断することが短絡電流に対する保護を確実にし、かつ短絡電流遮断時の電流変化率 $-di/dt$ を抑制して、電力用 IGBT のコレクターエミッタ間に生じる跳ね上がり電圧を小さくすることができ電力用 IGBT の耐圧破壊を防止できる半導体出力回路装置を提供するである。

【0011】

【課題を解決するための手段】請求項 1 記載の半導体出力回路装置は、エミッタセルがエミッタメインセルおよびエミッタ電流検出用セルからなり、エミッタメインセルに接続したエミッタ端子の他にエミッタ電流検出用セルに接続したセンス端子を有する電力用 IGBT 等の絶縁ゲート付の電力用トランジスタと、電力用トランジスタのゲート端子に接続したゲート抵抗と、電力用トランジスタのセンス端子とエミッタ端子の間に接続したセンス抵抗と、エミッタ端子とセンス端子との間にエミッタとベースを接続し、ゲート端子にコレクタを接続した短絡保護トランジスタとを備えている。この場合に、短絡保護トランジスタとして、短絡発生時のコレクターエミッタ間飽和電圧が 1.3V から 10V までの値となる特性を有しているトランジスタを使用している。この場合、短絡保護トランジスタとしては、短絡発生時のコレクターエミッタ間飽和電圧が 1.3V から 10V までの値となる特性を有している例えばバイポーラトランジスタを使用している。

【0012】この構成によると、上記のような特性を有する短絡保護トランジスタを設けたことにより、電力用 IGBT の負荷短絡時に短絡電流を高速遮断することが短絡電流に対する保護を確実にし、かつ短絡電流遮断時の電流変化率 $-di/dt$ を抑制して、電力用 IGBT のコレクターエミッタ間に生じる跳ね上がり電圧を小さくすることができ、電力用 IGBT の耐圧破壊を防止できる。

【0013】請求項 2 記載の半導体出力回路装置は、請求項 1 記載の半導体出力回路装置において、短絡保護トランジスタのコレクターエミッタ間電圧を調整するためのベース電流制限抵抗を追加したものである。この構成

によると、ベース電流制限抵抗によりベース電流をコントロールすると、ある決まったコレクタ電流が流れる時のコレクターエミッタ間飽和電圧を調整できる。

【0014】

【発明の実施の形態】この発明の第 1 の実施の形態を図 1 に基づいて説明する。この半導体出力回路装置は、図 1 に示すように、電力用 IGBT1 の電流検出用セルと接続したセンス端子 4 は、センス抵抗 6 と接続され、エミッタ端子 3 とセンス抵抗 6 の他端は接続され、接地されている。センス抵抗 6 の抵抗値は、電力用 IGBT1 の電流保護レベルとセンス端子 4 とエミッタ端子 3 に流れる電流比とで決定される。

【0015】ゲート端子 5 はゲート抵抗 8 を介して、各々バイポーラトランジスタからなるソースドライバ 14、シンクドライバ 15 で構成されるドライバ回路 18 と接続される。入力ロジック回路 12 に PWM 信号等の入力信号 13 が入力されると、入力レベルに応じて、ソースドライバ 14、シンクドライバ 15 が「ON」、「OFF」を行ない、電力用 IGBT1 を駆動する。以上は従来例と同様である。

【0016】短絡保護トランジスタ 7 は、コレクタを電力用 IGBT1 のゲート端子 5 と接続し、エミッタを電力用 IGBT1 のエミッタ端子 3 と接続し、ベースをセンス端子 4 と接続している。短絡保護トランジスタ 7 のベースとエミッタ間には、ノイズ防止用コンデンサ 9 を接続している。この短絡保護トランジスタ 7 を設けた点が従来例と異なる。上記短絡保護トランジスタ 7 としては、コンパレータ 10 およびドライバ回路 18 の動作遅れ時間よりも短い時間内にターンオンするスイッチング特性を有し、かつドライバ回路 18 の駆動電圧とゲート抵抗 8 により決まる第 1 の電流 I_1 と電力用 IGBT1 のゲート容量を引き抜く第 2 の電流 I_2 との和の電流 $(I_1 + I_2)$ を流したときのコレクターエミッタ間飽和電圧 $V_{ce}(SAT)$ が 1.3V から 10V までの値となる特性を有しているトランジスタを使用している。

【0017】また、電力用 IGBT1 のセンス端子 4 は、従来例と同様に、コンパレータ 10 とも接続されており、センス電圧 V_s がしきい値電圧 V_{REF} よりも大きくなると、ドライバ遮断信号 11 が入力ロジック回路 12 に送信される。図 2 には、電力用 IGBT1 の負荷短絡が発生した際の短絡保護時のタイミングチャートを示す。図 2 において、(a) はセンス端子 4 に現れるセンス電圧 V_s を示し、(b) はコンパレータ 10 の出力電圧 V_{comp} を示し、(c) は短絡保護トランジスタ 7 のコレクタ電流 I_{c2} を示し、(d) は電力用 IGBT1 のゲート電圧 V_g を示し、(e) は電力用 IGBT1 のコレクタ電流 I_c を示し、(f) は電力用 IGBT1 のコレクターエミッタ間電圧 V_{ce} を示している。

【0018】図 2 を見るとわかるように、センス抵抗 6 にあられる電圧 (センス電圧 V_s) は、負荷短絡が発

10

20

30

40

50

生すると、短絡保護トランジスタ 7 のベース-エミッタ間電圧 V_{BE} まで一気に上昇していく。この時、センス電圧 V_s がコンパレータ 10 のしきい値電圧 V_{REF} をオーバーすると、ドライバ遮断遅れ時間 T_1 が経過するまでは、ソースドライバ 14 が「ON」した状態であるので、ドライバ出力電圧 V_o は「High」のままである。

【0019】一方、センス電圧 V_s が上昇して、短絡保護トランジスタ 7 のベース-エミッタ間に電流が流れ出すと、短絡保護トランジスタ 7 のコレクタにはゲート抵抗 8 の抵抗値を R_g とした時、 $I_1 = V_o / R_g$ なる第 1 の電流と、この第 1 の電流によるゲート電圧 V_g の変化 dV_g / dt と電力用 IGBT 1 のゲート端子 5 の入力容量 C_g で決まる $I_2 = C_g \cdot dV_g / dt$ の合計

($I_1 + I_2$) が流れ、電力用 IGBT 1 のゲート電圧 V_g は短絡保護トランジスタに $I_1 + I_2$ の電流が流れた時のコレクター-エミッタ間飽和電圧まで低下する。この時、電力用 IGBT 1 の短絡電流は抑制されて大幅に低減され、ドライバ遮断遅れ時間 T_1 を経た後は、ゲート電圧 V_g は 0 V となり、短絡電流は完全に 0 となっている。

【0020】電力用 IGBT 1 のコレクター-エミッタ間電圧 V_{CE} は、短絡電流減少時の $-dI_c / dt$ により跳ね上がるが、 $I_1 + I_2$ の電流が流れた時の短絡保護トランジスタ 7 のコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ が 1.3 V ~ 10 V となる特性のデバイスを使用しているので、ゲート電圧変化率 ($-dV_g / dt$) が緩やかであり、 $-dI_c / dt$ も緩やかで、大きく跳ね上がらず、短絡遮断時の電力用 IGBT 1 のコレクター-エミッタ間電圧 V_{CE} の跳ね上がりによる破壊が低減され、かつドライバ遮断遅れ時間 T_1 より、早くターンオフする特性の短絡保護トランジスタ 7 を用いているので、高速遮断もできる。なお、 T_2 は短絡保護トランジスタターンオン遅れ時間であり、図 2 から、 $T_2 < T_1$ であることは明らかである。

【0021】つぎに、この発明の半導体出力回路装置の第 2 の実施の形態について図 3 に基づいて説明する。この第 2 の実施の形態では、図 3 に示すように、センス抵抗 16 をセンス抵抗 6 と直列に追加し、センス抵抗 6、16 の接続点にベース電流制限抵抗 17 を介して短絡保護トランジスタ 7 のベースを接続するように回路変更したもので、その他の構成は図 1 のものと同様である。

【0022】上記のセンス抵抗 16 はコンパレータ 10 のしきい値電圧 V_{REF} と短絡保護トランジスタ 7 の $V_{BE} - I_B$ 特性の整合を容易にするためのもので、どのよう

な品種のトランジスタにも対応できるようになっている。また、ベース電流制限抵抗 17 は、短絡保護トランジスタ 7 のベース電流調整用であり、この結果、短絡保護トランジスタ 7 は、図 4 のように、ベース電流制限抵抗 17 によりベース電流をコントロールすると、ある決まったコレクタ電流が流れる時のコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ を調整できる。すなわち、短絡保護時にコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ が 1.3 V ~ 10 V とすることが必要な短絡保護トランジスタ 7 の特性を、一品種のトランジスタでベース電流 I_B を変えることで、任意に得ることができる。つまり、トランジスタでベース電流 I_B を変えることによりコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ を自由に設定できる。

【0023】このように、ベース電流制限抵抗 17 を任意に変更することで、短絡遮断時のゲート電圧 V_g の $-dV_g / dt$ を自由に決定することができ、短絡遮断時の電力用 IGBT 1 のコレクター-エミッタ間電圧 V_{CE} の跳ね上がりを小さくすることができる。以上説明したように、この発明の実施の形態を採用することで、ノイズ誤動作に強く、しかも高速に負荷短絡を遮断できる。例えば、短絡保護トランジスタ 7 として 2SD1938 を採用すると、約 0.5 μs で遮断可能で、短絡時に電力用 IGBT 1 に印加されるエネルギーは従来と比較して 40% 以下となっており、エネルギー破壊は 0% と大幅な不良削減が可能となった。

【0024】また、短絡遮断時の跳ね上がり電圧は、表 1 のように短絡保護トランジスタ 7 のコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ が 1.3 V ~ 10 V では、不良が 0 [%] で、1.3 V 以下では耐圧不良が多発している。これは、 $V_{CE}(SAT)$ が 10 V 以上であると、電流による短絡不良が発生してしまうからである。より詳しく説明すると、 $V_{CE}(SAT)$ が 10 V 以上であると、電力用 IGBT 1 のゲート電圧が 10 V 以上であり、短絡電流の抑制が不十分である（例えば、300 A から 250 A になる）ので、電力用 IGBT 1 がエネルギー破壊に至る可能性があるということである。したがって、短絡保護に対して良好なコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ の範囲は 1.3 V ~ 10 V である。なお、この電圧範囲に設定すると、現在市販されている一般的な IGBT（駆動電圧 $V_{ge} = 15 V$ ）であれば保護可能である。ただ、将来的に $V_{ge} = 5 V$ などの IGBT が現れると、短絡保護に対して良好なコレクター-エミッタ間飽和電圧 $V_{CE}(SAT)$ の範囲は上記の範囲からは変わることになる。

【0025】

【表 1】

品 種	$V_{ce}(SAT)$ $I_c = 100\text{mA}$	跳ね上がり電圧 $V_{ce} = 300\text{V}$	不 良 率 ○: 良, ×: 不良
2SC3933(A)	12V	410V	10% (×)
2SC3933(B)	10V	430V	0% (○)
2SD1938	1.3V	460V	0% (○)
2SD1742	0.35V	550V	20% (×)
2SD1538	0.02V	580V	40% (×)

【0026】なお、上記実施の形態では、電力用IGBTを例に上げて説明したが、センス端子付の電力用MOSFETについても、この発明を適用でき、その場合には、特許請求の範囲におけるエミッタセルはソースセルということになる。

【0027】

【発明の効果】この発明によれば、短絡保護トランジスタを設けたことにより、電力用IGBTの負荷短絡時に短絡電流を高速遮断することが短絡電流に対する保護を確実にし、かつ短絡電流遮断時の電流変化率 $-di/dt$ を抑制して、電力用IGBTのコレクタエミッタ間に生じる跳ね上がり電圧を小さくすることができて電力用IGBTの耐圧破壊を防止でき、短絡保護時の電力用IGBTの不良率を大幅に低減し、半導体出力回路装置を低価格、高信頼性で提供できる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態における半導体出力回路装置の回路図である。

【図2】図1の半導体出力回路装置の短絡遮断時の各部のタイムチャートである。

【図3】この発明の第2の実施の形態における半導体出力回路装置の回路図である。

【図4】短絡保護トランジスタのコレクタ電流 I_c —コレク

ターエミッタ間飽和電圧の特性図である。

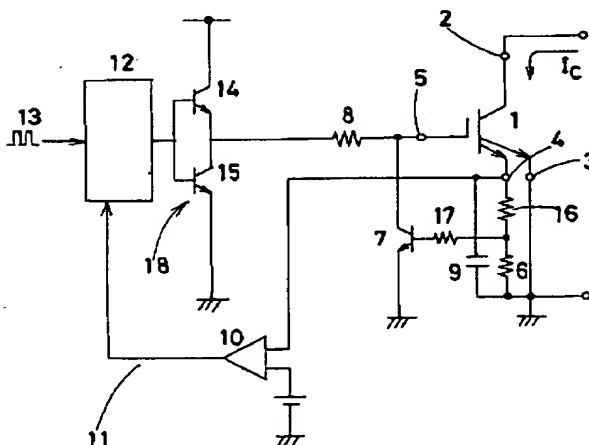
【図5】半導体出力回路装置の従来例の回路図である。

【図6】図5の半導体出力回路装置の短絡遮断時の各部のタイムチャートである。

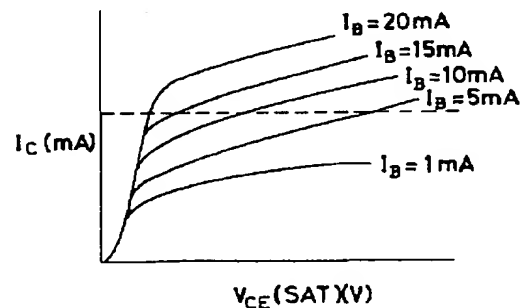
【符号の説明】

- 1 電力用IGBT
- 2 コレクタ端子
- 3 エミッタ端子
- 4 センス端子
- 5 ゲート端子
- 6 センス抵抗
- 7 短絡保護トランジスタ
- 8 ゲート抵抗
- 9 誤動作防止コンデンサ
- 10 コンパレータ
- 11 ドライバ遮断信号
- 12 入力ロジック回路
- 13 入力信号
- 14 ソースドライバ
- 15 シンクドライバ
- 16 センス抵抗
- 17 ベース電流制限抵抗
- 18 ドライバ回路

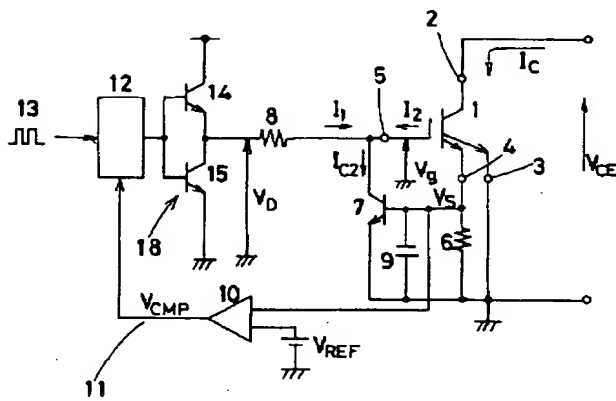
【図3】



【図4】

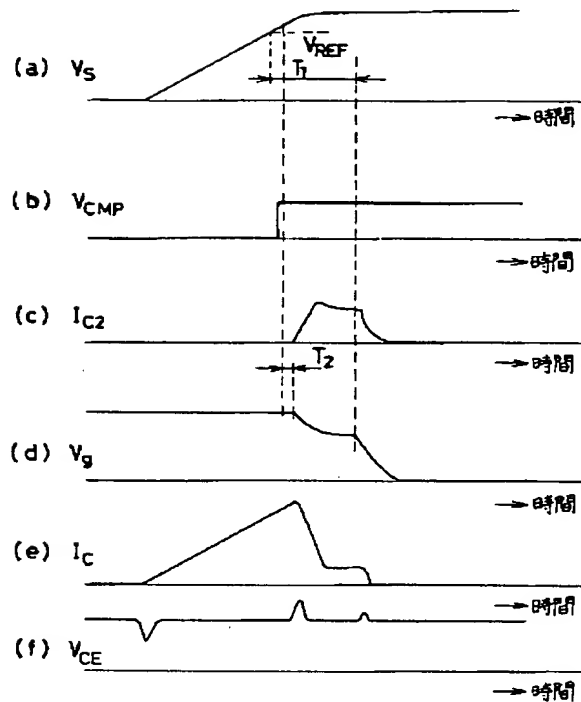


【図1】

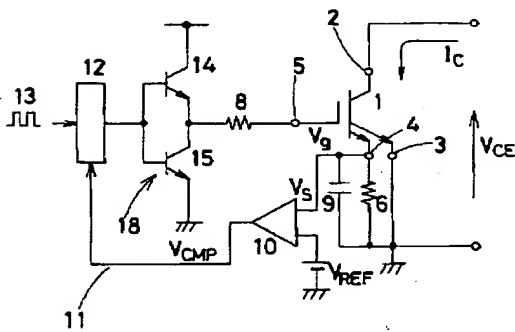


- | | |
|--------------|--------------|
| 1 IGBT | 10 コンパレータ |
| 2 コレクタ端子 | 11 ドライバ遮断信号 |
| 3 エミッタ端子 | 12 入力ロジック回路 |
| 4 センス端子 | 13 入力信号 |
| 5 ゲート端子 | 14 ソースドライバ |
| 6 センス抵抗 | 15 シンクドライバ |
| 7 短絡保護トランジスタ | 16 センス抵抗 |
| 8 ゲート抵抗 | 17 ベース電流制限抵抗 |
| 9 誤動作防止コンデンサ | 18 ドライバ回路 |

【図2】



【図5】



【図6】

